



2826

fin

Docket No.: GR 97 P 1903

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313-1450.

By: *[Signature]*

Date: April 24, 2008

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 09/483,737 Confirmation No: 8769
Applicant : Hansjörg Reichert et al.
Filed : January 14, 2000
Art Unit : 2826
Examiner : Ahmed N. Sefer
Title : Method and Apparatus for Producing a Chip-Substrate
Connection
Docket No. : GR 97 P 1903
Customer No. : 24131

CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 197 30 118.5 filed July 14, 1997.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

[Signature]

KERRY P. SISSELMAN
REG. NO. 37,237

Date: April 24, 2008

Lerner Greenberg Sterner LLP
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: 954.925.1100
Fax: 954.925.1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung DE 197 30 118.5 über die Einreichung einer Patentanmeldung

Aktenzeichen: 197 30 118.5

Anmeldetag: 14. Juli 1997

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Erstanmelder:
Siemens Aktiengesellschaft, 80333 München/DE

Bezeichnung: Verfahren und Vorrichtung zur Herstellung einer
Chip-Substrat-Verbindung

IPC: H 01 L 21/58, B 23 K 35/24

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der Teile der am 14. Juli 1997 eingereichten Unterlagen dieser Patentanmeldung unabhängig von gegebenenfalls durch das Kopierverfahren bedingten Farbabweichungen.

München, den 27. März 2008
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag

Stichlmair



Beschreibung

Bezeichnung der Erfindung: Verfahren und Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung

5

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten unter Verwendung eines Lotmittels mit den beiden metallhaltigen Bestandteilen X und Y, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist. Die Erfindung betrifft ferner ein Lotmittel für die Herstellung einer Chip-Substrat-Verbindung, sowie ein Halbleiterbauelement mit einem auf einem Substrat durch Legieren oder Hartlöten befestigten Halbleiterchip.

15

Bei der Verbindung eines Halbleiterchips mit seiner Rückseite auf ein Substrat, welches üblicherweise als Chip- oder Die-Bonding bezeichnet wird, müssen die Anforderungen hinsichtlich einer ausreichenden mechanischen Befestigung sowie einer guten thermischen und elektrischen Leitfähigkeit je nach Anwendungsfall einzeln oder gemeinsam erfüllt werden. Eine besondere Rolle spielt die Verträglichkeit von Chip und Substrat, d.h. der Anpassung beider Verbindungspartner in ihrem Ausdehnungsverhalten bei thermischer Belastung. Derzeit sind im Wesentlichen drei zu unterscheidende Verfahren der Chipbefestigung üblich: Legieren (Hartlöten), Löten (Weichlöten), und Kleben. Das bevorzugte Anwendungsgebiet gemäß der vorliegenden Erfindung ist Legieren oder Hartlöten; bei einem vorbekannten Bondverfahren im AuSi-System wird eine eutektische Verbindung von Halbleiterchip und Substrat bei niedrigster Schmelztemperatur der beteiligten Verbindungspartner hergestellt. Es findet eine Legierungsbildung bei einer Temperatur statt, die weit unter der Schmelztemperatur der Einzelkomponenten Au und Si liegt. Diese Temperatur ist nicht so hoch, dass der Halbleiteraufbau und damit die elektrische Funktion geschädigt würde. Beim Legiervorgang werden Chip und Substrat auf diese Temperatur erhitzt, wobei ein leichter

35

- Druck angewandt und der Chip zur Verbesserung des Kontaktes in kreisförmiger Bewegung angerieben wird. Bei Erreichen des Schmelzpunktes entsprechend der Liquidus-Solidus-Kurve des Phasendiagramms wird das Lot flüssig, der Bondprozess kommt
- 5 in Gang. Der Aufheizvorgang erfolgt in der Regel aus Kostengründen sehr schnell, er läuft nicht über thermodynamische Gleichgewichtszustände. Im Gegensatz dazu läuft der Abkühlvorgang wesentlich langsamer. Es kristallisiert zunächst die Überschussskomponente aus, bis beim Erstarrungspunkt wieder
- 10 das eutektische Mischungsverhältnis erreicht ist. Während des Erstarrens der eutektischen Schmelze kristallisieren beide Komponenten getrennt, so dass die Struktur des erstarrten Eutektikums gleichmäßig verteilte Si- und Au-Kristalle zeigt.
- 15 Die Minimierung der Chipbruchanfälligkeit geschieht durch möglichst gleichmäßige flächige Verbindung Chip-Substrat und durch niedrige Eigenverspannung. Die Qualität der Verbindung wird durch die Flusseigenschaften des Lotes gesteuert und die Eigenverspannung von der Temperaturdifferenz Loterstarrung
- 20 und Gebrauchstemperatur.

- Der Erfindung liegt die Aufgabe zugrunde, eine Vorrichtung und ein Verfahren zur Herstellung einer Chip-Substrat-Verbindung, insbesondere durch Legieren bzw. Hartlöten, sowie
- 25 ein geeignetes Lotmittel hierfür anzugeben, bei der bzw. bei dem die Gefahr eines Chipbruches möglichst gering ist.

- Diese Aufgabe wird verfahrensmäßig durch Anspruch 1, vorrichtungsmäßig durch Anspruch 8 gelöst. Ein erfindungsgemäßes
- 30 Lotmittel ist im Anspruch 11, ein unter Verwendung eines erfindungsgemäßen Lotmittels gefertigtes Halbleiterbauelement im Anspruch 13 angegeben.

- Erfindungsgemäß ist vorgesehen, dass das Lotmittel eine über-
- 35 eutektische Konzentration des zweiten Bestandteiles Y aufweist. Hierbei stellt der Bestandteil Y diejenige Komponente des zwei- oder auch mehrkomponentigen Lotmittels dar, die

beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Schichten verbraucht wird. Sinngemäß gilt dies auch für Mehrstoffsysteme.

- 5 Ein besonders bevorzugtes, niedrigschmelzendes Lotmittel stellt hierbei ein AuSn-Lot dar mit einer übereutektischen Konzentration von Zinn. Bevorzugterweise besitzt das AuSn-Lotmittel einen Sn-Gewichtsanteil von mehr als 20 %.

10 Die Erfindung bietet vor allem folgende Vorteile:

- Die Verwendung eines AuSn-Lotes mit übereutektischer Sn-Konzentration bietet gegenüber den vorbekannten eutektischen AuSi- bzw. eutektischen AuGe-Loten, die auf der Wafferrückseite aufgedampft sind, um bis zu 100° Celsius verringerte Chiplegiertemperaturen, und dadurch wesentlich geringere thermische Verspannungen und damit verringerte Chipbruchgefahr. Die Erfindung ermöglicht darüber hinaus eine verbesserte Homogenität und Benetzung der Lotschicht.
- 15 - Gegenüber einem eutektischen AuSn-Lot bietet die Erfindung vor allem den Vorteil einer geringeren Legiertemperatur. Eutektisches AuSn verarmt während der Beschichtung und des Montageprozesses an Sn, da sowohl die erforderliche Barriere zwischen AuSn und Si als auch die Leadframe-Oberfläche (beispielsweise aus Ag) bei der Montage Sn aufnehmen. Damit steigt die Schmelztemperatur des AuSn-Lotes. Vor allem bei
- 25 gesputtertem, eutektischem AuSn liegt die zur Verbindung erforderliche Legiertemperatur fast so hoch wie bei einer AuSi-Legierung.
- 30 - Gegenüber Epoxyd-Klebern besitzt die Erfindung den Vorteil einer besseren thermischen Leitfähigkeit der Verbindung, besseren Homogenität der Verbindung, und vor allem Einsparung von Kleber und Kleberprozess in der Montage.
- Gegenüber dem Löten mit Preform ergibt sich beim erfindungsgemäßen Verfahren vor allem eine Kostenersparnis in
- 35 der Montage.

Vorzugsweise wird das Lotmittel auf der Rückseite des Chips abgeschieden, insbesondere durch Sputtern. Dies erfolgt selbstverständlich im Waferverbund der Halbleiterchips, so dass der Begriff Chip auch den noch im Waferverbund befindlichen Chip umfasst.

Von besonderem Vorteil besitzt das bei der Abscheidung verwendete Target eine gewichtsmäßige Zusammensetzung der Bestandteile X zu Y von 70 zu 30, also vorzugsweise eine Zusammensetzung von $\text{AuSn} = 70/30$. Die Lotschicht wird in einer Stärke von etwa $1\text{ }\mu\text{m}$ bis etwa $2\text{ }\mu\text{m}$, vorzugsweise etwa $1,5\text{ }\mu\text{m}$ auf die Waferrückseite aufgesputtert.

Nachfolgend wird die Erfindung anhand eines in der Zeichnung dargestellten Ausführungsbeispiels weiter erläutert. Im Einzelnen zeigen die Darstellungen in:

Figur 1 das Phasendiagramm von AuSn ;

Figur 2A eine schematische Darstellung eines auf einem Leadframe unter Verwendung des erfindungsgemäßen übereutektischen AuSn -Lotes legierten Halbleiterchips; und

Figur 2B eine vergrößerte Schnittdarstellung der Einzelheit X nach Figur 2A.

Wie in Figur 1 sichtbar ist, liegt für das System AuSn die eutektische Temperatur bei 278° Celsius und die entsprechende Zusammensetzung bei 20 % Sn und 80 % Au (Gewichtsprozent). Es findet somit eine Legierungsbildung bei einer Temperatur statt, die weit unter der Schmelztemperatur der Einzelkomponenten liegt. Dem wesentlichen Gedanken der Erfindung folgend wird ein AuSn -Lot mit einer übereutektischen Konzentration von Zinn verwendet, so dass das AuSn -Lotmittel einen Sn-Gewichtsanteil von mehr als 20 % besitzt. Damit ergibt sich eine ausreichende Düninflüssigkeit des Lotmittels bei Temperaturen von unterhalb 380° Celsius für die Montage in SOT-

Gehäusen, da durch eine Diffusion von Sn in benachbarten Metallschichten das AuSn sich in seiner Zusammensetzung von der zinnreichen Phase her auf den eutektischen Punkt zubewegt und somit eine über dem Eutektikum liegende, goldreiche Lotphase vermieden wird. Die Schmelztemperatur des AuSn-Gemisches steigt bei Au-Überschuss sehr stark an, bei Sn-Anreicherung ist die Schmelzpunkterhöhung wesentlich geringer. Durch einen Sn-Verlust eines Sn-reichen, erfindungsgemäßen Lotes tritt beim Lötvorgang eine kontinuierliche Schmelzpunkterniedrigung auf. Der Lötvorgang wird begünstigt. Insbesondere an der Kontaktstelle Lot-Leadframe (beispielsweise Ag), wo die Sn-Verarmung auftritt, wird lokal die Schmelztemperatur erniedrigt, was die Fließeigenschaft des Lotes verbessert. Aus diesem Grund werden durch ein Überangebot an Sn reproduzierbare Montagebedingungen bei niedrigen Temperaturen erreicht. Insbesondere bei dünnen Lot-Schichten, wie sie an sich bei Waferrückseitenbeschichtungen üblich sind, ist dieser Effekt stark ausgeprägt.

In den Figuren 2A und 2B ist eine durch Legieren bzw. Hartlöten gefertigte Verbindung eines Halbleiterchips 1 auf der zentralen „Insel“ 2 eines metallenen Systemträgers 3 dargestellt. Die auch als Leadframes bezeichneten vorgefertigten metallischen Systemträger stellen eine sehr weit verbreitete Substratform dar, insbesondere für die Verwendung in Kunststoffgehäusen. Die vergrößerte Teilansicht nach Figur 2B zeigt die Schichtenfolge in näheren Einzelheiten. Die Rückseite des Halbleiterchips 1 ist mit einer Haft- oder Diffusionsbarriere 4 versehen, welche vorzugsweise Ti/Pt aufweist. Die Bezugsziffer 5 bezeichnet die in einer Stärke von typischerweise 1,5 μm auf die Scheibenrückseite aufgesputterte Lotschicht. Damit die Chip-Substrat-Verbindung ausreichend niederohmig ist, kann es erforderlich sein, vorab noch eine Dotierschicht, beispielsweise aus AuAs, oder eine Kontaktimplantation 6 einzufügen.

Patentansprüche

1. Verfahren zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten unter Verwendung eines zwei-
5 oder auch mehrkomponentigen Lotmittels mit wenigstens zwei metallhaltigen Bestandteilen X und Y, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist, und der zweite Bestandteil Y beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Materialien bzw.
10 Schichten verbraucht wird,
dadurch g e k e n n z e i c h n e t,
dass das Lotmittel (5) eine übereutektische Konzentration des zweiten Bestandteiles Y aufweist.
- 15 2. Verfahren nach Anspruch 1,
dadurch g e k e n n z e i c h n e t,
dass der zweite Bestandteil Y des Lotmittels Zinn mit einer übereutektischen Konzentration aufweist.
- 20 3. Verfahren nach Anspruch 1 oder 2,
g e k e n n z e i c h n e t durch
eine Gold-Zinn-Verbindung (AuSn) als Lotmittel mit einer übereutektischen Sn-Konzentration.
- 25 4. Verfahren nach Anspruch 3,
dadurch g e k e n n z e i c h n e t,
dass das verwendete AuSn-Lotmittel einen Sn-Gewichtsanteil von mehr als 20 % aufweist.
- 30 5. Verfahren nach einem der Ansprüche 1 bis 4,
dadurch g e k e n n z e i c h n e t,
dass das Lotmittel auf der Rückseite des Chips (1) abgeschieden wird, insbesondere durch Sputtern.

6. Verfahren nach Anspruch 5,
dadurch gekennzeichnet,
dass das bei der Abscheidung verwendete Target eine gewichtsmäßige Zusammensetzung der Bestandteile X zu Y von 70 zu 30 besitzt.

7. Verfahren nach Anspruch 5 oder 6,
dadurch gekennzeichnet,
dass das Lotmittel in einer Stärke von etwa 1 µm bis etwa 2 µm, und insbesondere etwa 1,5 µm auf die Rückseite des Chips (1) aufgetragen, insbesondere aufgesputtert wird.

8. Vorrichtung zur Abscheidung eines Lotmittels als dünne Schicht auf der Rückseite eines Chips (1), welches Lotmittel zwei- oder auch mehrkomponentig ist und wenigstens zwei metallhaltige Bestandteile X und Y aufweist, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist, und der zweite Bestandteil Y beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Materialien bzw. Schichten verbraucht wird,
dadurch gekennzeichnet,
dass ein Target mit einer übereutektischen Konzentration des zweiten Bestandteiles Y vorgesehen ist.

9. Vorrichtung nach Anspruch 8,
dadurch gekennzeichnet,
dass der zweite Bestandteil Y des Lotmittel-Targets Zinn mit einer übereutektischen Konzentration aufweist.

10. Vorrichtung nach Anspruch 9,
dadurch gekennzeichnet,
dass das Target eine gewichtsmäßige Zusammensetzung der Bestandteile X zu Y von 70 zu 30 besitzt.

11. Lotmittel für die Herstellung einer Chip-Substrat-Verbindung, welches Lotmittel zwei- oder auch mehrkomponentig ist und wenigstens zwei metallhaltige Bestandteile X und Y aufweist, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist, und der zweite Bestandteil Y beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Materialien bzw. Schichten verbraucht wird, dadurch gekennzeichnet, dass das Lotmittel eine übereutektische Konzentration des zweiten Bestandteiles Y aufweist.

12. Lotmittel nach Anspruch 10, dadurch gekennzeichnet, dass der zweite Bestandteil Y des Lotmittels Zinn mit einer übereutektischen Konzentration aufweist.

13. Halbleiterbauelement mit einem auf einem Substrat durch Legieren oder Hartlöten befestigten Halbleiterchip (1), dadurch gekennzeichnet, dass das Lotmittel für die Chip-Substrat-Verbindung nach Anspruch 11 oder 12 gebildet ist, und insbesondere eine Gold-Zinn-Verbindung (AuSn) mit einer übereutektischen Sn-Konzentration aufweist.

Bezugszeichenliste

1	Halbleiterchip
2	zentrale „Insel“
3	metallener Systemträger
4	Haft-/oder Diffusionsschicht
5	Lotschicht
6	Kontaktimplantation
X, Y	metallhaltige Bestandteile

Zusammenfassung

Bezeichnung der Erfindung: Verfahren und Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung

5

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten unter Verwendung eines zwei- oder auch mehrkomponentigen Lotmittels mit wenigstens zwei metallhaltigen Bestandteilen X und Y, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist, und der zweite Bestandteil Y beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Materialien bzw. Schichten verbraucht wird. Das Lotmittel weist eine übereutektische Konzentration des zweiten Bestandteiles Y auf. Die Erfindung betrifft ferner ein Lotmittel für die Herstellung einer Chip-Substrat-Verbindung, sowie ein Halbleiterbauelement mit einem auf einem Substrat durch Legieren oder Hartlöten befestigten Halbleiterchip (1).

20

(Figur 2)

Fig 1

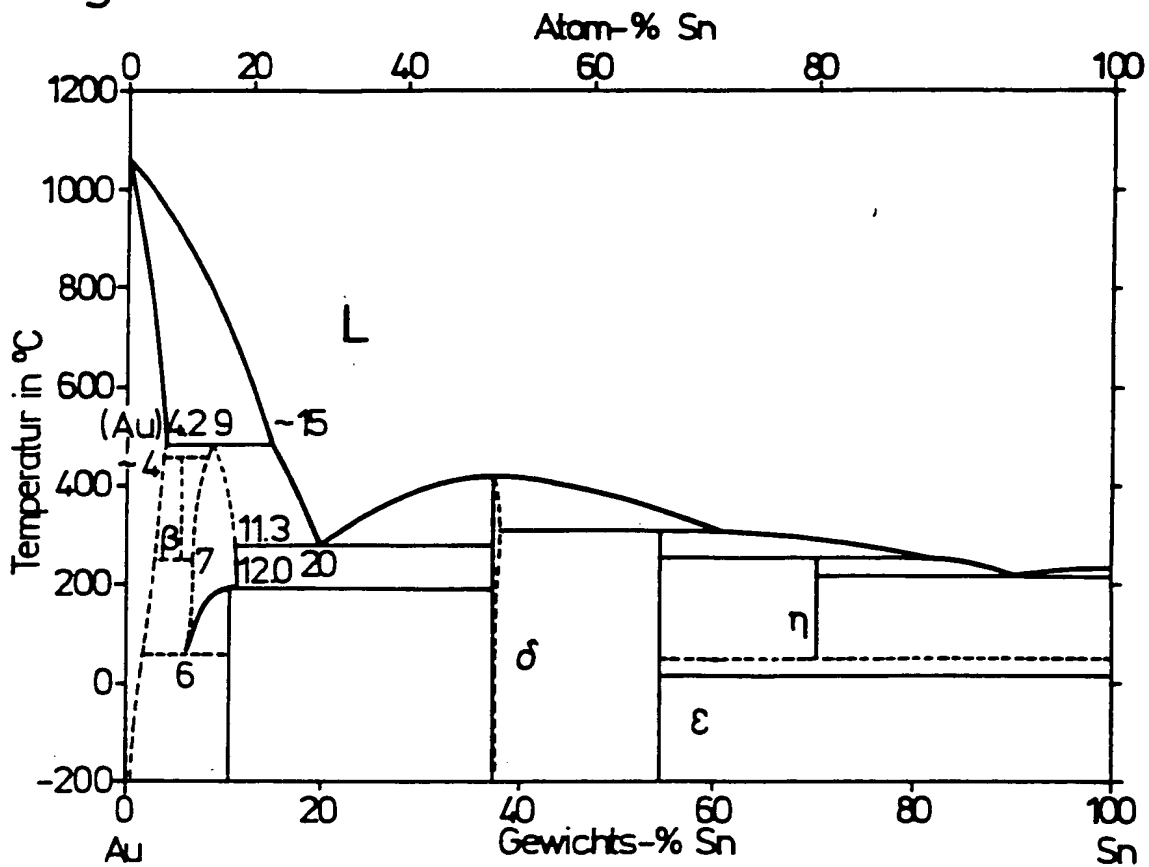


Fig 2A

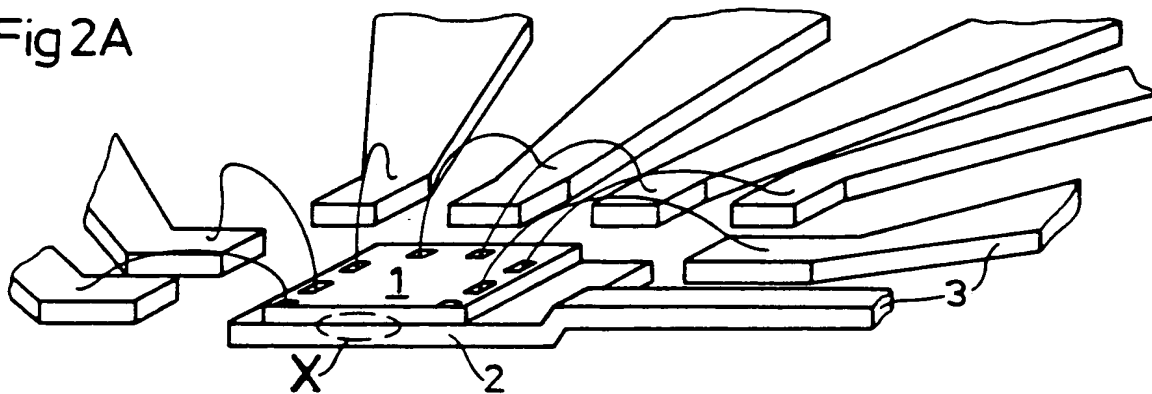


Fig 2B

